

BEST AVAILABLE COPY

Filed PCT/PTO 03 SEP 2004  
PCT/JP 03/16341

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

19.12.03

#3

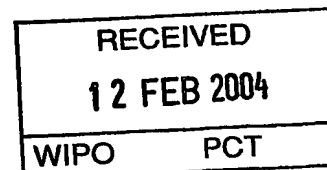
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 1 5 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 0 6 4 6 8  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 0 6 4 6 8 ]

出   願   人            ソニー株式会社  
Applicant(s):

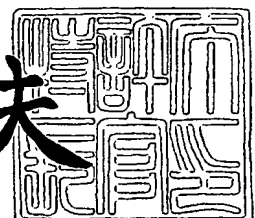


PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2 0 0 4 年   1 月 3 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 0290656102  
【提出日】 平成15年 1月15日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11B 5/39  
G11C 11/14  
H01C 1/06  
H01L 43/08

## 【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 加藤 義寛

## 【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 岡山 克巳

## 【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 小林 薫

## 【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 山元 哲也

## 【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 五十嵐 実

## 【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

## 【代理人】

【識別番号】 100076059

【弁理士】

【氏名又は名称】 逢坂 宏

## 【手数料の表示】

【予納台帳番号】 001775

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707812

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 磁気メモリ装置  
【特許請求の範囲】

【請求項 1】 磁化方向が固定された磁化固定層と、磁化方向の変化が可能な磁性層とが積層してなるメモリ素子からなる磁気ランダムアクセスメモリとして構成され、前記メモリ素子を磁気シールドする磁気シールド層が設けられている磁気メモリ装置において、前記メモリ素子が、前記磁気シールド層の端部及び中心部を避けて位置していることを特徴とする磁気メモリ装置。

【請求項 2】 磁化可能な磁性層を有するメモリ素子からなる磁気メモリ装置において、前記メモリ素子が、前記磁気シールド層の端部及び中心部を避けて位置していることを特徴とする磁気メモリ装置。

【請求項 3】 前記磁気シールド層の一辺からこの対向辺までの長さを  $L$  としたとき、前記一辺から内側へ  $0.1L$  の位置と、前記磁気シールド層の中心から前記一辺側へ  $0.15L$  の位置との間の領域に、前記メモリ素子が配置されている、請求項 1 又は 2 に記載した磁気メモリ装置。

【請求項 4】 前記磁気シールド層が前記メモリ素子の両側にそれぞれ設けられ、これらの磁気シールド層間の間隔、前記磁気シールド層の前記一辺と前記対向辺との間の長さ、及び外部印加磁界がそれぞれ一定であるとき、前記一辺から内側へ  $0.2L$  の位置と、前記シールド層の中心から前記一辺側へ  $0.15L$  の位置との間の領域に、前記メモリ素子が配置されている、請求項 3 に記載した磁気メモリ装置。

【請求項 5】 前記磁気シールド層の間隔、前記磁気シールド層の厚さ、及び外部印加磁界がそれぞれ一定であるとき、前記一辺から内側へ  $0.1L$  の位置と、前記シールド層の中心から前記一辺側へ  $0.2L$  の位置との間の領域に、前記メモリ素子が配置されている、請求項 3 に記載した磁気メモリ装置。

【請求項 6】 前記磁気シールド層が前記メモリ素子を封止してなるパッケージの上部及び／又は下部、或いは／並びに、前記パッケージ中の前記メモリ素子の上部及び／又は下部に配置されている、請求項 1 又は 2 に記載した磁気メモリ装置。

【請求項 7】 前記メモリ素子が前記パッケージのほぼ全面に亘って存在している、請求項 6 に記載した磁気メモリ装置。

【請求項 8】 前記磁気シールド層が、平坦な若しくは凹凸のある膜状又は板状、或いは網目又はスリット等の貫通孔のある形状をなしている、請求項 1 又は 2 に記載した磁気メモリ装置。

【請求項 9】 磁気シールド層が 1.8 テスラ以上の飽和磁化を示す軟磁性材料によって形成されている、請求項 1 又は 2 に記載した磁気メモリ装置。

【請求項 10】 前記磁化固定層と前記磁性層との間に絶縁体層又は導電体層が挟持され、前記メモリ素子の上面及び下面に設けられた配線にそれぞれ電流を流すことによって誘起される磁界で前記磁性層を所定方向に磁化して情報を書き込み、この書き込み情報を前記配線間でのトンネル磁気抵抗効果によって読み出すように構成された、請求項 1 に記載した磁気メモリ装置。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、磁化方向が固定された磁化固定層と、磁化方向の変化が可能な磁性層とが積層されてなるメモリ素子からなる磁気ランダムアクセスメモリ、いわゆる不揮発性メモリである MRAM (Magnetic Random Access Memory) として構成された磁気メモリ装置、又は磁化可能な磁性層を有するメモリ素子からなる磁気メモリ装置に関するものである。

##### 【0002】

#### 【従来の技術】

情報通信機器、特に携帯端末などの個人用小型機器の飛躍的な普及に伴い、これを構成するメモリやロジックなどの素子には、高集積化、高速化、低電力化など、一層の高性能化が要求されている。

##### 【0003】

特に不揮発性メモリは、ユビキタス時代に必要不可欠であると考えられている。電源の消耗やトラブルが生じた場合や、サーバーとネットワークが何らかの障害により切断された場合でも、不揮発性メモリは、個人情報を含めた重要な情報

を保護することができる。また、最近の携帯機器は、不要の回路ブロックをスタンバイ状態にしてできるだけ消費電力を抑えるように設計されているが、高速のワークメモリと大容量ストレージメモリを兼ねることができる不揮発性メモリが実現できれば、消費電力とメモリの無駄を無くすることができる。また、高速の大容量不揮発性メモリが実現できれば、電源を入れると瞬時に起動できる“インスタント・オン”機能も可能になってくる。

#### 【0004】

不揮発性メモリとしては、半導体を用いたフラッシュメモリや、強誘電体を用いたFRAM (Ferroelectric Random Access Memory) など挙げられる。

#### 【0005】

しかしながら、フラッシュメモリは、書き込み速度が $\mu$ 秒のオーダーと遅いという欠点がある。一方、FRAMにおいては、書き換え可能回数が $10^{12} \sim 10^{14}$ であり、完全にSRAM (Static Random Access Memory) やDRAM (Dynamic Random Access Memory) に置き換えるには持久力 (Endurance) が小さく、また強誘電体キャパシタの微細加工が難しいという問題が指摘されている。

#### 【0006】

これらの欠点を有さず、高速、大容量 (高集積化)、低消費電力の不揮発性メモリとして注目されているのが、例えばWang et al., IEEE Trans. Magn. 33 (1997), 4498に記載されているような、MRAM (Magnetic Random Access Memory) と称される磁気メモリであり、近年のTMR (Tunnel Magnetoresistance) 材料の特性向上により、注目を集めるようになってきている。

#### 【0007】

MRAMは、ナノ磁性体特有のスピン依存伝導現象に基づく磁気抵抗効果を利用した半導体磁気メモリであり、外部から電力を供給することなしに記憶を保持できる不揮発性メモリである。

#### 【0008】

しかも、MRAMは、構造が単純であるために高集積化が容易であり、また磁気モーメントの回転により記録を行うために書き換え可能回数が大であり、アクセス時間についても非常に高速であることが予想され、既に100MHzで動作

可能であることがR.Scheuerlein et al, ISSCC Digest of Technical Papers, pp.128-129, Feb. 2000で報告されている。

#### 【0009】

こうしたMRAMについて更に詳細に説明すると、図14に例示するように、MRAMのメモリセルの記憶素子となるTMR素子10は、支持基板9上に設けられた、磁化が比較的容易に回転する記憶層2と磁化固定層4、6とを含む。

#### 【0010】

磁化固定層は第1の磁化固定層4と第2の磁化固定層6の二つの磁化固定層を持ち、これらの間には、これらの磁性層が反強磁性的に結合するような導体層5が配置されている。記憶層2と磁化固定層4、6には、ニッケル、鉄又はコバルト、或いはこれらの合金からなる強磁性体が用いられ、また導体層5の材料としては、ルテニウム、銅、クロム、金、銀などが使用可能である。第2の磁化固定層6は反強磁性体層7と接しており、これらの層間に働く交換相互作用によって、第2の磁化固定層6は強い一方向の磁気異方性を持つことになる。反強磁性体層7の材料としては、鉄、ニッケル、白金、イリジウム、ロジウムなどのマンガン合金、コバルトやニッケル酸化物などを使用できる。

#### 【0011】

また、磁性層である記憶層2と第1の磁化固定層4との間には、アルミニウム、マグネシウム、シリコン等の酸化物又は窒化物等からなる絶縁体によるトンネルバリア層3が挟持されており、記憶層2と磁化固定層4との磁氣的結合を切るとともに、トンネル電流を流すための役割を担う。これらの磁性層及び導体層は主にスパッタリング法により形成されるが、トンネルバリア層3は、スパッタリングで形成された金属膜を酸化もしくは窒化させることにより得ることができる。トップコート層1は、TMR素子10とこのTMR素子に接続される配線との相互拡散防止、接触抵抗低減及び記憶層2の酸化防止という役割があり、通常は、Cu、Ta、TiN等の材料を使用できる。下地電極層8は、TMR素子と直列に接続されるスイッチング素子との接続に用いられる。この下地層8は反強磁性体層7を兼ねてもよい。

#### 【0012】

このように構成されたメモリセルにおいては、後述するように、磁気抵抗効果によるトンネル電流変化を検出して情報を読み出すが、その効果は記憶層と磁化固定層との相対磁化方向に依存する。

#### 【0013】

図15は、一般的なMRAMの一部を簡略化して示す拡大斜視図である。ここでは、簡略化のために読み出し回路部分は省略してあるが、例えば9個のメモリセルを含み、相互に交差するビット線11及び書き込み用ワード線12を有する。これらの交点には、TMR素子10が配置されていて、TMR素子10への書き込みは、ビット線11及び書き込み用ワード線12に電流を流し、これらから発生する磁界の合成磁界によって、ビット線11と書き込み用ワード線12との交点にあるTMR素子10の記憶層2の磁化方向を磁化固定層に対して平行又は反平行にして書き込みを行う。

#### 【0014】

図16は、メモリセルの断面を模式的に示していて、例えばp型シリコン半導体基板13内に形成されたp型ウェル領域14内に形成されたゲート絶縁膜15、ゲート電極16、ソース領域17、ドレイン領域18よりなるn型の読み出し用電界効果型トランジスタ19が配置され、その上部に、書き込み用ワード線12、TMR素子10、ビット線11が配置されている。ソース領域17には、ソース電極20を介してセンスライン21が接続されている。電界効果トランジスタ19は、読み出しのためのスイッチング素子として機能し、ワード線12とTMR素子10との間から引き出された読み出し用配線22がドレイン電極23を介してドレイン領域18に接続されている。なお、トランジスタ19は、n型又はp型電界効果トランジスタであってよいが、その他、ダイオード、バイポーラトランジスタ、MESFET (Metal Semiconductor Field Effect Transistor) 等、各種のスイッチング素子が使えらる。

#### 【0015】

図17は、MRAMの等価回路図を示すが、例えば6個のメモリセルを含み、相互に交差するビット線11及び書き込み用ワード線12を有し、これらの書き込み線の交点には、記憶素子10と共に、記憶素子10に接続されて読み出しの



際に素子選択を行う電界効果トランジスタ19及びセンスライン21を有する。センスライン21は、センスアンプ23に接続され、記憶された情報を検出する。なお、図中の24は双方向の書き込み用ワード線電流駆動回路、25はビット線電流駆動回路である。

#### 【0016】

図18は、MRAMの書き込み条件を示すアステロイド曲線であって、印加された磁化容易軸方向磁界 $H_{EA}$ 及び磁化困難軸方向磁界 $H_{HA}$ による記憶層磁化方向の反転しきい値を示している。このアステロイド曲線の外部に、相当する合成磁界ベクトルが発生すると、磁界反転を生じるが、アステロイド曲線の内部の合成磁界ベクトルは、その電流双安定状態の一方からセルを反転させることはない。また、電流を流しているワード線及びビット線の交点以外のセルにおいても、ワード線又はビット線単独で発生する磁界が印加されるため、それらの大きさが一方方向反転磁界 $H_K$ 以上の場合は、交点以外のセルの磁化方向も反転してしまうため、合成磁界が図中の灰色の領域にある場合のみに、選択されたセルを選択書き込みが可能となるようにしておく。

#### 【0017】

このように、MRAMでは、ビット線とワード線の2本の書き込み線を使用することにより、アステロイド磁化反転特性を利用して、指定されたメモリセルだけが磁性スピンの反転により選択的に書き込むことが一般的である。単一記憶領域における合成磁化は、それに印加された磁化容易軸方向磁界 $H_{EA}$ と磁化困難軸方向磁界 $H_{HA}$ とのベクトル合成によって決まる。ビット線を流れる書き込み電流は、セルに磁化容易軸方向の磁界 $H_{EA}$ を印加し、またワード線を流れる電流は、セルに磁化困難軸方向の磁界 $H_{HA}$ を印加する。

#### 【0018】

図19は、MRAMの読み出し動作を説明するものである。ここでは、TMR素子10の層構成を概略図示しており、上記した磁化固定層を単一層26として示し、記憶層2及びトンネルバリア層3以外は図示省略している。

#### 【0019】

即ち、上記したように、情報の書き込みは、マトリックス状に配線したビット

線 11 とワード線 12 との交点の合成磁場によりセルの磁性スピンを反転させて、その向きを“1”、“0”の情報として記録する。また、読み出しは、磁気抵抗効果を応用した TMR 効果を利用して行なうが、TMR 効果とは、磁性スピンの向きによって抵抗値が変化する現象であり、磁性スピンの反平行の抵抗の高い状態と、磁性スピンの平行の抵抗の低い状態により、情報の“1”、“0”を検出する。この読み出しは、ワード線 12 とビット線 11 の間に読み出し電流（トンネル電流）を流し、上記の抵抗の高低に応じた出力を上記した読み出し用電界効果トランジスタ 19 を介してセンスライン 21 に読み出すことによって行う。

#### 【0020】

上記したように、MRAM は、高速かつ不揮発性の大容量メモリとして期待されるが、記憶の保持に磁性体を用いているため、外部磁界の影響によって情報が消去されたり、或いは書きかえられてしまうという問題がある。図 18 で述べた磁化容易軸方向の反転磁界及び磁化困難軸方向の反転磁界  $H_{SW}$  は、材料にもよるが 20 ～ 200 エルステッド (Oe) であり、電流に換算すると数 mA (R.H. Koch et al., Phys. Rev. Lett. 84, 5419 (2000), J.Z. Sun et al., 2001 8th Joint Magnetism and Magnetic Material 参照) と小さいからである。しかも、書き込み時の保磁力 ( $H_c$ ) は例えば数 Oe ～ 100 Oe 程度であるため、それ以上の外部磁界による内部漏洩磁界が作用すれば、所定のメモリセルに選択的に書き込みを行うことが不可能となることがある。

#### 【0021】

従って、MRAM の実用化へのステップとして、外部磁気対策、即ち素子を外部の電磁波からシールドする磁気シールド構造の確立が切望されている。

#### 【0022】

MRAM が実装されて使用される環境は、主として高密度実装基板上であり、電子機器内部である。電子機器の種類にもよるが、近年の高密度実装の発達により、高密度実装基板上は半導体素子や通信用素子、超小型モータなどが高密度に実装されており、また、電子機器内部にはアンテナ素子や各種メカニカル部品、電源などが高密度実装され、1 つの機器を構成している。

#### 【0023】

このように混載が可能であることは、不揮発性メモリとしてのMRAMの特長の1つであるが、MRAMの周囲には直流、低周波数から高周波数に亘る広い周波数範囲の磁界成分が混在する環境となっているので、MRAMの記録保持の信頼性確保のためには、MRAM自身の実装方法やシールド構造を工夫することにより外部磁界からの耐性を向上させることが求められている。

#### 【0024】

こうした外部磁界の大きさとしては、例えばクレジットカードや銀行のキャッシュカードのような磁気カードでは、500～6000eの磁界に対して耐性を持たせることが規定されている。このため、磁気カードの分野ではCo被覆γ-Fe<sub>2</sub>O<sub>3</sub>やBaフェライトなどの保磁力の大きな磁性材料を用いて対応している。また、プリペイドカードの分野でも350～6000eのような磁界に対して耐性を持つ必要がある。MRAM素子は電子機器筐体内に実装され、持ち運ぶことも想定されるデバイスであるので、磁気カード類と同等の強い外部磁界からの耐性を持たせる必要があり、特に上記した理由から内部（漏洩）磁界の大きさを200e以下、望ましくは100e以下に抑える必要がある。

#### 【0025】

MRAMの磁気シールド構造としては、MRAM素子のパッシベーション膜に絶縁性のフェライト(MnZn及びNiZnフェライト)層を使うことにより磁気シールド特性を持たせる提案がなされている（後述の特許文献1参照）。また、パーマロイのような高透磁率磁性体をパッケージの上及び下から取り付けることにより磁気シールド効果をもたせ、内部素子への磁束の侵入を防ぐ提案がなされている（後述の特許文献2参照）。更に、軟鉄等の磁性材料により素子にシールド蓋を被せる構造が開示されている（後述の特許文献3参照）。

#### 【0026】

##### 【特許文献1】

米国特許第5,902,690号明細書及び図面（第5欄、FIG.1及びFIG.3）

##### 【特許文献2】

米国特許第5,939,772号明細書及び図面（第2欄、Fig.1及びFig.2）

##### 【特許文献3】

特開2001-250206号公報（第5頁右欄、図6）

【0027】

【発明が解決しようとする課題】

MRAMのメモリセルへの外部磁束の侵入を防ぐためには、高い透磁率を持つ磁性材料を素子の周囲に巡らせ、磁束を内部へ侵入させない磁路を設けることが最も重要である。

【0028】

しかしながら、特許文献1（米国特許第5,902,690号）のように素子のパッシベーション膜をフェライトで形成すると、フェライト自身の飽和磁化が低い（一般的なフェライト材料で0.2～0.5テスラ（T））ため、外部磁界の侵入を完全に防ぐことが不可能である。フェライト自身の飽和磁化はNiZnフェライトで0.2～0.35T、MnZnフェライトでは0.35～0.47T程度であるが、MRAM素子へ侵入する外部磁界の大きさは数1000eと大きいいため、フェライト程度の飽和磁化ではフェライトの磁気飽和により透磁率はほぼ1となり、機能しなくなる。また、特許文献1には、膜厚の記述はないが、通常パッシベーション膜では高々0.1μm程度であるため、磁気シールド層としては薄すぎることからも、効果はほとんど期待できない。しかも、フェライトをパッシベーション膜に用いる場合、フェライトは酸化物磁性体であるため、スパッタ法により成膜するときには酸素欠損が生じ易く、完全なフェライトをパッシベーション膜として用いることは困難である。

【0029】

また、特許文献2（米国特許第5,939,772号）では、パッケージの上下をパーマロイ層で覆う構造が記述されており、パーマロイを用いることによりフェライトパッシベーション膜よりも高いシールド性能が得られる。しかしながら、特許文献2に開示されているミューメタル（Mu Metal）の透磁率は $\mu_i = 100,000$ 程度と極めて高いものの、飽和磁化は0.7～0.8Tと低く、容易に外部磁界に対し飽和して $\mu = 1$ となってしまうため、完全な磁気遮蔽効果を得るためにはシールド層の厚さはかなり厚くなければならないという欠点がある。従って、実用上、数1000eの磁界を侵入させないための構造としては、パーマロイ

の飽和磁化が小さすぎること、並びにその厚さが薄すぎることの両面から、磁気シールド層として不完全である。

#### 【0030】

また、特許文献3（特開2001-250206号）では、軟鉄などを用いた磁気シールド構造が開示されているが、これは素子上部を覆うのみであるために磁気シールドが不完全となると共に、軟鉄の飽和磁化は1.7 T、透磁率は $\mu_i$ で300程度と、磁気特性が不十分である。従って、特許文献3に記述されている構造にて磁気シールドを行ったとしても、外部磁界の侵入を完全に防ぐことは極めて困難である。

#### 【0031】

本発明は、上記の如き実情に鑑みてなされたものであって、その目的は、大きな外部磁界に対しても十二分にMRAM素子を磁氣的にシールドし、MRAM素子が適用される環境からの磁界に対して問題のない動作を保証することを可能にすることにある。

#### 【0032】

##### 【課題を解決するための手段】

即ち、本発明は、磁化可能な磁性層を有するメモリ素子からなる磁気メモリ装置において、特に、磁化方向が固定された磁化固定層と、磁化方向の変化が可能な磁性層とが積層してなるメモリ素子からなる磁気ランダムアクセスメモリ（MRAM）として構成され、前記メモリ素子を磁気シールドする磁気シールド層が設けられている磁気メモリ装置において、前記メモリ素子が、前記磁気シールド層の端部及び中心部を避けて位置していることを特徴とする磁気メモリ装置（以下、本発明の磁気メモリ装置と称する。）に係るものである。

#### 【0033】

本発明者は、上述した課題について鋭意検討を重ねた結果、磁気シールド効果は、磁気シールド層の磁性材料の磁気飽和とともに減衰し、板状などの磁性体の磁気飽和は、反磁界が最小となる場所（つまり、エッジ部分から最も離れているところ）から始まり、パッケージに磁気シールド層を施した場合、最もシールド効果が弱い部分はパッケージ中心部となることを見出した。

## 【0034】

本発明者は、このような認識に基づいて、前記メモリ素子を前記磁気シールド層の端部及び中心部を避けて位置させること、即ち、磁気飽和し易くて内部漏洩磁界強度の大きい磁気シールド層の中心部と、外部磁界の直接の影響により磁気シールド効果のない磁気シールド層の端部との間の領域にメモリ素子を位置させることによって、メモリ素子が内部漏洩磁界に影響されることなしに正常に動作することを見出し、本発明の磁気メモリ装置に到達したものである。

## 【0035】

## 【発明の実施の形態】

本発明の磁気メモリ装置においては、前記磁気シールド層の一辺からこの対向辺までの長さを $L$ としたとき、前記一辺から内側へ $0.1L$ の位置と、前記磁気シールド層の中心から前記一辺側へ $0.15L$ の位置との間の領域に、前記メモリ素子が配置されていることが、内部漏洩磁界の影響を避け易い点から望ましい。

## 【0036】

この場合、前記磁気シールド層が前記メモリ素子の両側にそれぞれ設けられ、これらの磁気シールド層間の間隔、前記磁気シールド層の前記一辺と前記対向辺との間の長さ、及び外部印加磁界がそれぞれ一定であるとき、前記一辺から内側へ $0.2L$ の位置と、前記シールド層の中心から前記一辺側へ $0.15L$ の位置との間の領域に、前記メモリ素子が配置されていることが望ましい。

## 【0037】

また、前記磁気シールド層の間隔、前記磁気シールド層の厚さ、及び外部印加磁界がそれぞれ一定であるとき、前記一辺から内側へ $0.1L$ の位置と、前記シールド層の中心から前記一辺側へ $0.2L$ の位置との間の領域に、前記メモリ素子が配置されていることが望ましい。

## 【0038】

そして、前記磁気シールド層が、その磁気シールド効果を発揮するためには、前記磁気シールド層が前記メモリ素子を封止してなるパッケージの上部及び／又は下部、或いは／並びに、前記パッケージ中の前記メモリ素子の上部及び／又は

下部に配置されていることが望ましく、更に、前記メモリ素子が前記パッケージのほぼ全面に亘って存在していることが望ましい。

#### 【0039】

また、前記磁気シールド層は、平坦な膜状又は板状をなしている以外に、その磁気飽和を更に効果的に抑制するためには、凹凸のある膜状又は板状、或いは網目又はスリット等の貫通孔のある形状をなしているのがよい。

#### 【0040】

そして、磁気シールド層が1.8テスラ以上の飽和磁化を示す軟磁性材料によって形成されていることが、磁気シールド層の飽和磁化を低減できる点で望ましい。

#### 【0041】

本発明はMRAMに好適であるが、このようなMRAMは、前記磁化固定層と前記磁性層との間に絶縁体層又は導電体層が挟持され、前記メモリ素子の上面及び下面に設けられたビット線及びワード線としての配線にそれぞれ電流を流すことによって誘起される磁界で前記磁性層を所定方向に磁化して情報を書き込み、この書き込み情報を前記配線間でのトンネル磁気抵抗効果（TMR効果）によって読み出すように構成されるのがよい。

#### 【0042】

以下、本発明の好ましい実施の形態を図面参照下に具体的に説明する。

#### 【0043】

図1～図3は、本実施の形態による各種の磁気シールド構造を有するMRAMのパッケージをそれぞれ例示するものである（図1（A）は、具体的なパッケージ平面形状を示す図1（B）のA-A線に沿う概略的な断面図を示す）。

#### 【0044】

これらの例では、図14～図16に示したMRAM素子（メモリセル部及び周辺回路部も含めたチップ）30が、磁気シールド層33、34の端部及び中心部領域を避けてダイパッド40上に設けられ、実装基板（図示せず）に接続される外部リード31（ダイパッドとリード部はその接続を含めて簡略図示した。）を除いて、モールド樹脂（例えばエポキシ樹脂）等の封止材32によって封止され

ている（ここでは、MRAM素子30は、既述したMRAMと同様の構造及び動作原理を有するので、その説明は省略する）。

#### 【0045】

そして、本実施の形態は、1.8T以上の飽和磁化を示す磁気シールド層33、34が、TMR素子内蔵のMRAM素子30をDRAM等の他の素子45、46、47と共に封止した封止材32の上面及び下面にそれぞれ配置された例（図1）、及び、磁気シールド層33、34が封止材32中において、MRAM素子30の上部とダイパッド40の下部にそれぞれ配置された例（図2）、或いはそれぞれ非接触に埋設された例（図3）を示す。

#### 【0046】

封止材32による封止前に、磁気シールド層33、34のうち、飽和磁化に伴って磁気シールド効果が減衰し、磁気飽和が早くて反磁界が最小となる磁気シールド層33、34の中心部42と、外部磁界の影響を直接受け、磁気シールド効果の小さい磁気シールド層33、34の端部43を避けた位置41において、予めMRAM素子30をダイパッド40上に固定し、しかる後、封止後に封止材32の上及び下に磁気シールド層33、34を接着する。或いは、封止前に上記位置41にMRAM素子30を配置し、磁気シールド層33、34をダイパッド40の両側位置で金型内に配置し、それらを同時にシールドすればよい。

#### 【0047】

いずれの場合も、MRAM素子30が、磁気シールド層33、34間に配置されたサンドウィッチ構造をなし、磁気シールド層33、34がMRAMのパッケージと一体化されている。このように、磁気シールド層33、34は、MRAMの上下（又はMRAM混載半導体パッケージの上下）に位置するようなサンドウィッチ構造をとり、MRAMのパッケージとの一体化を図れることは、回路基板への実装上で最も望ましい構造である。

#### 【0048】

図1～3に示したいずれの磁気シールド構造においても、MRAM素子30を外部印加磁界から或る程度は磁気シールドすることはできるが、磁性材料の磁化飽和に伴い、磁気シールド効果の減衰は避け難く、その中心部で反磁界が最小と



なり、また磁気シールド層 33、34 の端部は外部磁界の影響を直接受け易いため、磁気シールド効果が小さい。これらの場合、磁気シールド層 33、34 は、MRAM 素子 30 の上、下にそれぞれ存在するのがよいが、少なくとも一方（特に MRAM 素子の表面側）に存在していてもよい。

#### 【0049】

しかしながら、本実施の形態では、MRAM 素子 30 を磁気シールド層 33、34 の端部 43 及び中心部 42 を避けて位置させることによって、MRAM 素子 30 が内部漏洩磁界に影響されることなしに正常に動作することができる。しかも、上記中心部 42 及び端部 43 以外の領域 41 は、磁気シールド層 33、34 が薄くても、MRAM 素子 30 が内部漏洩磁界の影響を実質的に受けない領域であるため、磁気シールド層の厚さを薄く設計でき、その結果、MRAM 装置を小型化、軽量化できる（これについては、後述する）。

#### 【0050】

図 1～図 3 に示した磁気シールド層 33、34 は、平坦な膜又は箔又は平板からなっているが、これに限らず、図 4（A）に示すように凹凸 35 を設けた形状や、図 4（B）に示すように網状、スリット状等の貫通孔 36 を設けた形状としてもよい。図 4 の形状の磁気シールド層は、その周辺端部のみならず凹凸や貫通孔の部分での形状異方性によって、外部印加磁界に対する反磁界が発生し、磁気飽和し難く、高特性のシールド効果を有するものとなる。

#### 【0051】

図 1～図 4 に示した磁気シールド構造はいずれも、磁気シールド層 33、34 の飽和磁化が 1.8 T 以上であって、従来のフェライトやパーマロイ等よりもずっと大きく、封止材上又は封止材中の所定位置に配置することにより、内部漏洩磁界強度が抑制された優れたシールド性能を得ることができる。

#### 【0052】

そこで、本発明者は、最大 5000 e の大きな直流外部磁界が印加されても、MRAM 素子部の正常な動作を保証するような環境作りを目的として実験を行った。

#### 【0053】

## 【0054】

高密度実装の進展により、実用上、MRAMは多ピンのパッケージ形態に他の機能素子とともに混載して用いられる。パッケージ構造としては、QFP (Quad Flat Package)、LQFP (Low Profile Quad Flat Package)、BGA (Ball Grid Array Package)、LFBGA (Low Profile Fine Pitch Ball Grid Array Package)、LFLGA (Low Profile Fine Pitch Land Grid Array Package) など種々挙げられる。

## 【0055】

本発明者は、このパッケージ構造を考慮し、最も薄く効果的な磁気シールド材料について検討した。図5は磁気シールド効果を検討するにあたって採用した実験時の概略図を示す。磁気シールド層33、34を図1のように160pin QFPタイプパッケージの上下に設置した場合をモデルとして、 $L: 28\text{mm} \times L: 28\text{mm}$ の2枚のシールド層を $D: 3.45\text{mm}$ の間隔で配置し、その中心部にガウスメータ37を設置した。そして、 $5000\text{e}$ の直流外部磁界を磁気シールド層と平行に印加し、ガウスメータ37を磁気シールド層と平行に移動させることにより、端部から中心部までの内部磁界強度（磁気シールド層からの漏洩磁界強度）を測定した。

## 【0056】

実験において使用した多種のシールド材料のうち、代表的な材料として、最も高透磁率材料であるスーパーパーマロイ合金： $\text{Fe}-75\text{Ni}-5\text{Mo}-1\text{Cu}$ を磁気シールド層材料として用いた場合の内部磁界強度分布を図6に示す。 $\text{Fe}-75\text{Ni}-5\text{Mo}-1\text{Cu}$ は、初透磁率 $\mu_i = 100000$ 、飽和磁化 $M_s = 0.8\text{T}$ である。内部磁界強度はシールド層長さ、つまり端から端までの $28\text{mm}$ の分布を示している。外部印加磁界は $5000\text{e}$ とし、シールド層厚さを $20\mu\text{m}$ とした。

## 【0057】

図6から、 $\text{Fe}-75\text{Ni}-5\text{Mo}-1\text{Cu}$ からなる磁気シールド層は、外部から $5000\text{e}$ の強い磁界が印加された場合、磁気シールド層は磁気飽和し、パッケージ中央部にて $4280\text{e}$ の磁化が侵入してしまい、シールド効果がほとん

ど消滅することが分かる。従って、特許文献 2（米国特許第 5,939,772 号）のような  $\mu$  Metal 層を配置とする構造をとったとしても、実用上はシールド効果を期待することは難しい。

#### 【0058】

一方、磁気的な飽和を避けるために、図 5 に示した実験装置により、高飽和磁化材料であるパーメンジュール合金：Fe-49Co-2V を磁気シールド層材料として用いた場合の内部磁界強度分布を図 7 に示す。Fe-49Co-2V は、初透磁率  $\mu_i = 1200$ 、飽和磁化  $M_s = 2.3 \text{ T}$  である。

#### 【0059】

図 7 から、Fe-49Co-2V を磁気シールド層材料として用いた場合、パッケージ中央部の磁化強度は  $2820 \text{ e}$  となり、Fe-75Ni-5Mo-1Gu を材料とした場合の磁気シールド層と比較して、内部侵入磁界は半分程度に抑えることができることが分かった。しかしながら、 $2820 \text{ e}$  の環境下では MRAM が正常に動作することは難しい。

#### 【0060】

そこで、Fe-49Co-2V を磁気シールド材料に用い、シールド層間の間隔を一定とし、シールド層の厚さを変えて、サンドウィッチ構造内部の中心部磁界強度を測定した結果を図 8 に示す。

#### 【0061】

即ち、図 8 は、図 5 に示した実験装置において、磁気シールド層の間隔  $D$  ( $3.45 \text{ mm}$ ) は一定とし、外部印加磁界は  $5000 \text{ e}$  とし、シールド層の厚さを  $200$ 、 $250$ 、 $270$ 、 $300$ 、 $320$ 、 $350$ 、 $400$ 、 $600$ 、 $800 \mu\text{m}$  の各種に変えて実験したものであり、この場合の中心部の磁界強度はそれぞれ  $282$ 、 $219$ 、 $193$ 、 $150$ 、 $117$ 、 $59$ 、 $18$ 、 $13$ 、 $10 \text{ e}$  となり、この結果シールド層が厚くなるに従い、侵入する磁界を低減することができることが分かった。

#### 【0062】

図 8 に示す結果から、MRAM が正常に動作するためには、内部磁界強度を極力抑えることが望ましい。そして、内部磁界強度の上限を  $200 \text{ e}$  とした場合、

Fe-49Co-2V等の高飽和磁化材料を磁気シールド層材料として用い、シールド層厚さを $400\mu\text{m}$ 以上にすればよいという結果になるが、薄型化・軽量化傾向にある電子機器の内部に、 $400\mu\text{m}$ のシールド層を上下2層装着することは、今後難しくなってくることが考えられる。また、内部磁界強度の上限を更に厳しくした場合には、更に厚いシールド層を要することになる。

#### 【0063】

そこで、薄いシールド層の場合でも、パッケージ内のMRAMの配置位置を調整することにより、MRAMを外部漏洩磁界から回避できることを以下に説明する。

#### 【0064】

図9に、Fe-49Co-2Vを材料に用いたシールド層の厚さに対して、内部磁界強度分布を測定した結果を示す。内部磁界強度はシールド層の長さ、つまり、図5のL:  $28\text{mm}$ 以内における分布を示している。シールド層の間隔は一定( $3.45\text{mm}$ )で外部印加磁界は $500\text{Oe}$ とし、シールド層の厚さは $250$ 、 $270$ 、 $300$ 、 $320$ 、 $350$ 、 $400$ 、 $600\mu\text{m}$ とした。

#### 【0065】

その結果、図9に示すように、パッケージ中心部及び端部においては侵入磁界強度が大きくなっているが、それ以外の場所においてはシールド効果が発揮されており、パッケージ端部及び中心部を除けば、 $350\mu\text{m}$ のシールド層厚さでも $600\mu\text{m}$ の厚さの場合と同等のシールド効果を発揮していることが分かる。

#### 【0066】

即ち、図9における内部磁界強度分布において、磁気シールド層の長さ $28\text{mm}$ に相当する位置を基準とし、規格化して示した規格化シールド層長さ(図9の下部参照)に示すように、磁気シールド層の両端から内側へ $20\%$ 以内の領域 $L_2$ (上述の43に相当)、及び中心から外側へそれぞれ $15\%$ 以内の領域 $L_3$ (上述の42に相当)を除く、これらの中間領域 $L_1$ (上述の41に相当)、は内部磁界強度が $200\text{Oe}$ 以下に低減され、磁気シールド効果が十二分に発揮されている領域である。この領域 $L_1$ は、環状パターンをなしてMRAM素子30を配置可能な領域である。

## 【0067】

160pin QFPタイプのパッケージは約28mm×28mmであり、そのうちMRAMの取り得るエリアは数mm角、最大でも10mm角程度である。このことと上記結果を考慮し、パッケージ内において磁気シールド層の端部43と中心部分42を避けたエリア41（図13（B）参照）の一部分にMRAM素子30を配置した。これにより、シールド層厚さを350 $\mu$ mにしても、MRAMを外部漏洩磁界からシールドすることができ、MRAMの正常動作を確認した。

## 【0068】

次に、Fe-49Co-2Vを磁気シールド層の材料に用い、図5に示した実験装置において、シールド層の間隔を2mm、シールド層の厚さを200 $\mu$ m、外部印加磁界を5,000eと一定にし、シールド層の長さを変えて、サンドウィッチ構造内部の中心部磁界強度を測定した結果を図10に、シールド層長さ毎の内部磁界強度分布を図11に示す。

## 【0069】

この結果から、パッケージ長さ（シールド層長さ）が長いほど、内部磁界強度も大きくなっていることが分かり、かつパッケージ長さが短い方が内部磁界強度が減少することが分かった。

## 【0070】

図12は、規格化したパッケージ長さに対する内部磁界強度の分布図、及びMRAM素子の設置可能領域と設置不可領域を示す。これより、内部磁界強度分布は一定の割合で生じているのではなく、パッケージ長さに依存していることが分かる。

## 【0071】

図12から、MRAM素子の配置位置は、磁気シールド層の両端部から内側へシールド層長さの10%以上離して設置することが望ましく、また磁気シールド層長さが15mmを超えるものに関しては、シールド層中心から外側へシールド層長さの20%以上離して設置することが望ましい。

## 【0072】

しかしながら、上記条件に限らず、パッケージ長さ、及びシールド層材料、及

びシールド層間距離などによって若干異なるため、初期の設計時におけるシミュレーションを行って、MRAM素子の設置位置を決めることが望ましい。

#### 【0073】

図13 (A) は、図9 及び図12 の各結果に基づいて、磁気シールド層に対してMRAM素子の設置可能領域と設置不可領域とを表わした図である。

#### 【0074】

つまり、図13 (A) に示すように、磁気シールド層の中心Cから外側へ15%以内の中心部領域42、及び磁気シールド層の端から10%以内の周縁領域43を避けて、これらの中間領域（斜線で示す環状パターンであってシールド層長さの25%以内の領域）41にMRAM素子30を配置することにより、MRAM素子30を正常に動作させることができる。

#### 【0075】

図13 (B) は、MRAM素子配置可能領域41に、MRAM素子30と共に、例えば、DRAM(Dynamic Random Access Memory) 45、DSP (Digital Signal Processor) 46 及びRF (Radio Frequency) 47 等の他の素子を混載した状態の混載パッケージを示すものである。但し、上記の他の素子については、必ずしも上記領域41内に配置しなくてもよい。また、中心部領域42には、上記の他の素子や、外部接続端子を設けることもできる。

#### 【0076】

なお、磁気シールド層を形成する軟磁性材料は、上記に例示したFe-Co-V系を含めて、Fe、Co及びNiのうち少なくとも1種を含む好ましくは高飽和磁化及び／又は高透磁率の軟磁性体、例えばFe、FeCo、FeNi、FeSiAl、FeSiB、FeAl等の高飽和磁化、高透磁率の軟磁性体からなってもよい。

#### 【0077】

以上に説明した本実施の形態によれば、MRAM素子30を前記磁気シールド層33、34の端部43及び中心部42を避けて位置させることによって、MRAM素子30が内部漏洩磁界に影響されることなしに正常に動作することができる。しかも、上記中心部42及び端部43以外の領域41は、磁気シールド層3

3、34が薄くても、MRAM素子30が内部漏洩磁界の影響を実質的に受けない領域であるため、磁気シールド層の厚さを薄く設計でき、その結果、MRAM装置を小型化、軽量化できる。

#### 【0078】

以上に説明した実施の形態は、本発明の技術的思想に基づいて種々の変形が可能である。

#### 【0079】

例えば、上述の磁気シールド層材料の組成、種類、層厚さや配置、サイズ、更には、MRAMの構造等は様々に変化させてよい。

#### 【0080】

また、上述した磁気シールド構造は適宜組み合せてよいが、例えば図1と図2の構造、又は図1と図3の構造の組み合わせが可能であり、また図1～図4において下部の磁気シールド層34を省略してもよい。

#### 【0081】

また、本発明はMRAMに好適であるが、磁化可能な磁性層を有するメモリ素子からなる他の磁気メモリ装置にも適用可能である。

#### 【0082】

#### 【発明の作用効果】

上述した如く、本発明によれば、メモリ素子を磁気シールド層の端部及び中心部を避けて位置させること、即ち、磁気飽和し易くて内部漏洩磁界強度の大きい磁気シールド層の中心部と、外部磁界の直接の影響により磁気シールド効果のない磁気シールド層の端部との間の領域にメモリ素子を位置させることによって、メモリ素子が内部漏洩磁界に影響されることなしに正常に動作することができる。

#### 【図面の簡単な説明】

#### 【図1】

本発明の実施の形態によるMRAMパッケージの概略断面図（A）及びその具体的な平面図（B）である。

#### 【図2】

同、実施の形態による他のMRAMパッケージの概略断面図である。

【図 3】

同、実施の形態による他のMRAMパッケージの概略断面図である。

【図 4】

同、実施の形態による更に他のMRAMパッケージの概略断面図である。

【図 5】

同、磁気シールド層間の内部磁界強度測定時の概略断面図である。

【図 6】

同、高透磁率材料である  $\text{Fe}-75\text{Ni}-5\text{Mo}-1\text{Cu}$  を用いた際の、外部印加磁界が  $5000\text{e}$  の場合における内部磁界強度の分布図である。

【図 7】

同、高飽和磁化材料である  $\text{Fe}-49\text{Co}-2\text{V}$  を用い、 $200\mu\text{m}$  厚の磁気シールド層（シールド箔）とした際の、外部印加磁界が  $5000\text{e}$  の場合における内部磁界強度の分布図である。

【図 8】

同、外部印加磁界が  $5000\text{e}$  の場合において、 $\text{Fe}-49\text{Co}-2\text{V}$  を用いた際の、磁気シールド層の厚さに対する内部磁界強度を示す表である。

【図 9】

同、外部印加磁界が  $5000\text{e}$  の場合において、 $\text{Fe}-49\text{Co}-2\text{V}$  からなる種々の厚さの磁気シールド層長さに対する内部磁界強度の分布図である。

【図 10】

同、外部印加磁界が  $5000\text{e}$  の場合において、 $\text{Fe}-49\text{Co}-2\text{V}$  を用いた際の、磁気シールド層の長さに対する内部磁界強度を示す表である。

【図 11】

同、外部印加磁界が  $5000\text{e}$  の場合において、 $\text{Fe}-49\text{Co}-2\text{V}$  からなる種々の長さの磁気シールド層長さに対する内部磁界強度の分布図である。

【図 12】

同、規格化した磁気シールド層長さに対する内部磁界強度の分布図である。

【図 13】



同、パッケージ内におけるMRAM素子の配置可能領域を示す平面図(A)とその配置状態の平面図(B)である。

【図14】

MRAMのTMR素子の概略斜視図である。

【図15】

MRAMのメモリセル部の一部の概略斜視図である。

【図16】

MRAMのメモリセルの概略断面図である。

【図17】

MRAMの等価回路図である。

【図18】

MRAMの書き込み時の磁界応答特性図である。

【図19】

MRAMの読み出し動作原理図である。

【符号の説明】

1…トップコート層、2…記憶層、3…トンネルバリア層、  
4…第1の磁化固定層、5…反強磁性結合層、6…第2の磁化固定層、  
7…反強磁性体層、8…下地層、9…支持基板、  
10…メモリセル(TMR素子)、11…ビット線、  
12…書き込み用ワード線、13…シリコン基板、14…ウェル領域、  
15…ゲート絶縁膜、16…ゲート電極、17…ソース領域、  
18…ドレイン領域、  
19…読み出し用電界効果トランジスタ(選択用トランジスタ)、  
20…ソース電極、21…センスライン、22…読み出し用配線、  
23…ドレイン電極、26…磁化固定層、30…MRAM素子、  
31…外部リード、32…封止材、33、34…磁気シールド層、  
40…ダイパッド、41…MRAM配置可能領域、42…中心部領域、  
43…端部領域、45…DRAM、46…DSP、47…RF、C…中心、  
D…間隔、d…シールド層厚み、L…シールド層長さ、

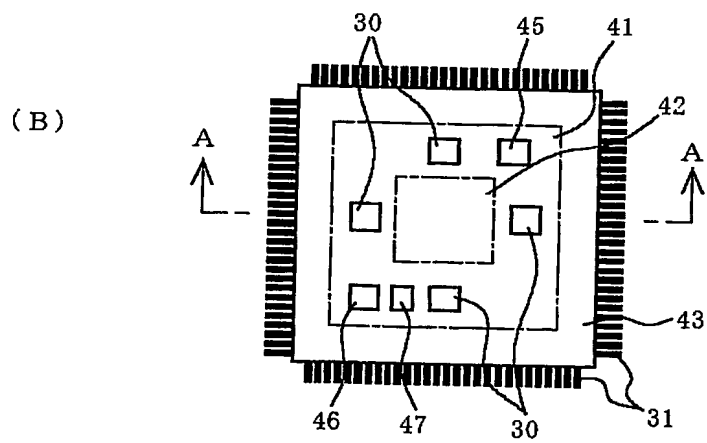
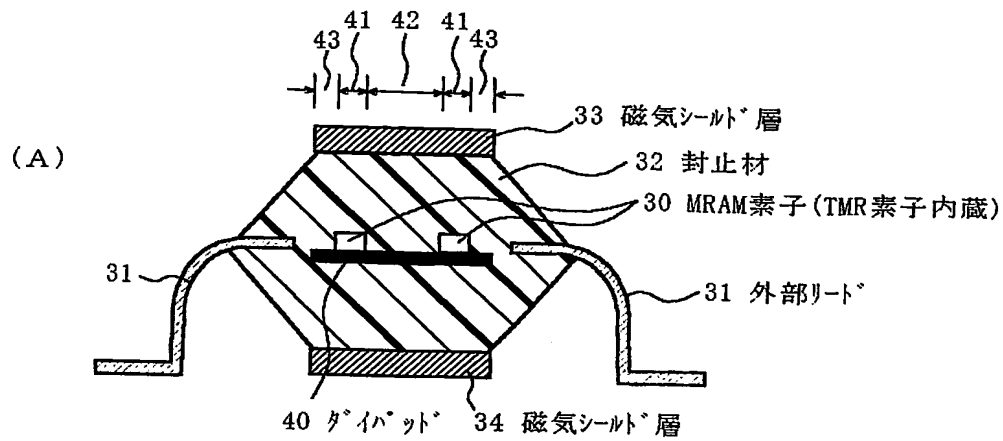
L<sub>1</sub>…端部及び中心部を避けた領域（MRAM設置可能領域）、

L<sub>2</sub>…MRAM設置不可端部領域、L<sub>3</sub>…MRAM設置不可中心部領域

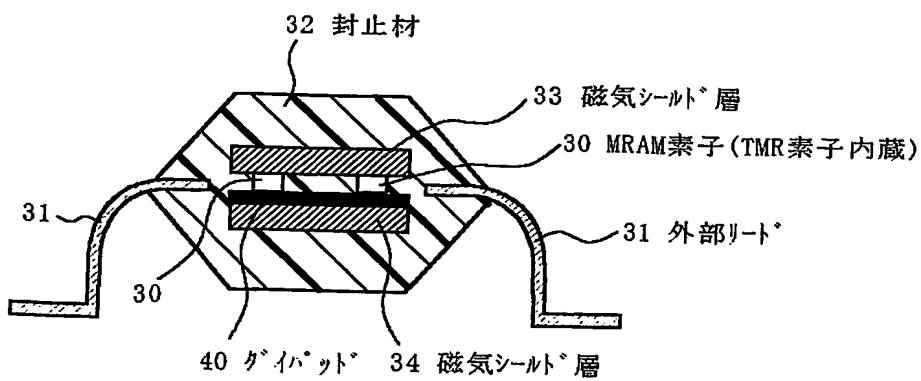
【書類名】

図面

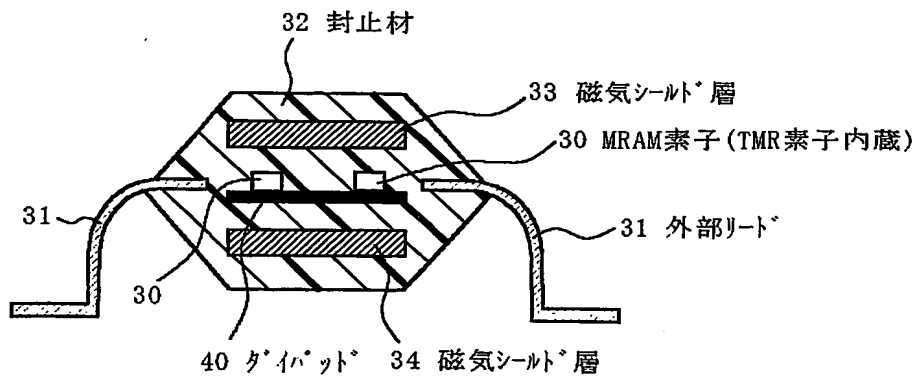
【図 1】



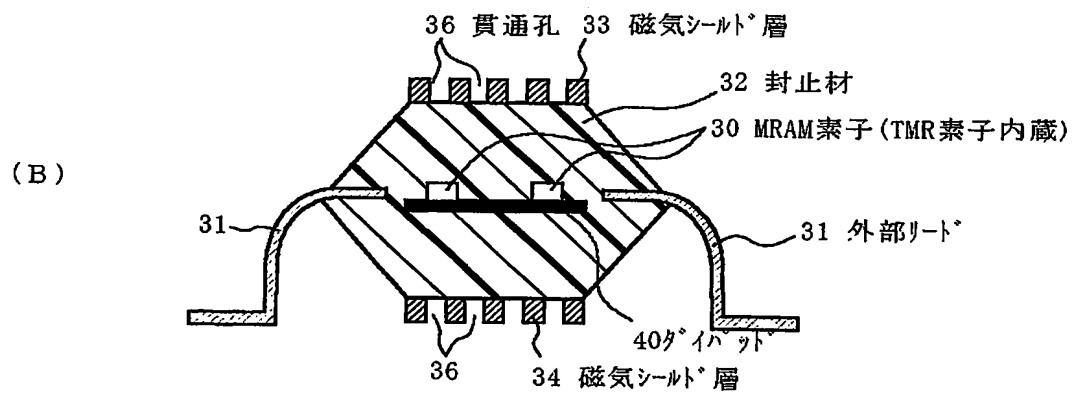
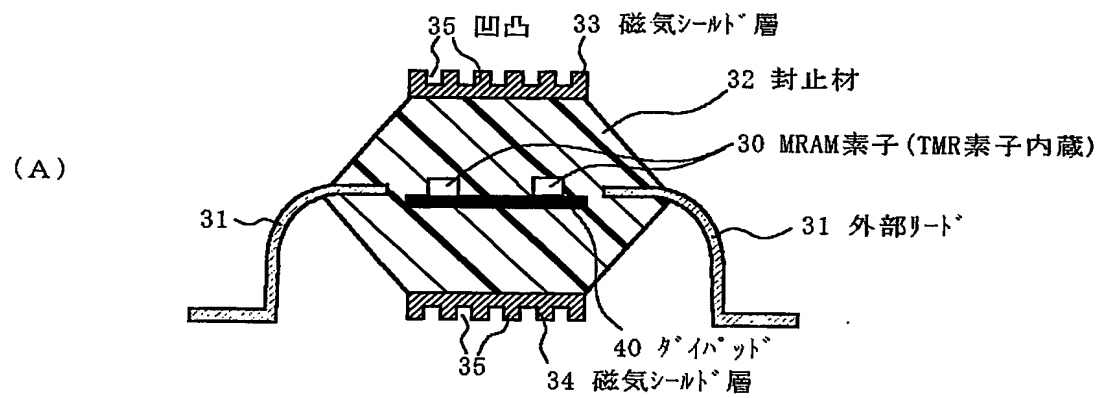
【図 2】



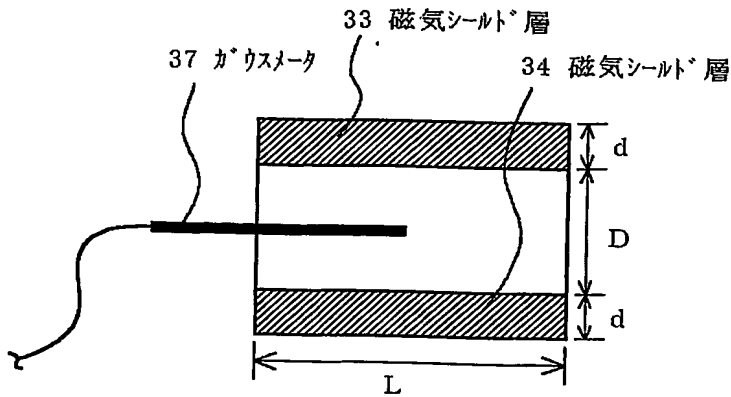
【図 3】



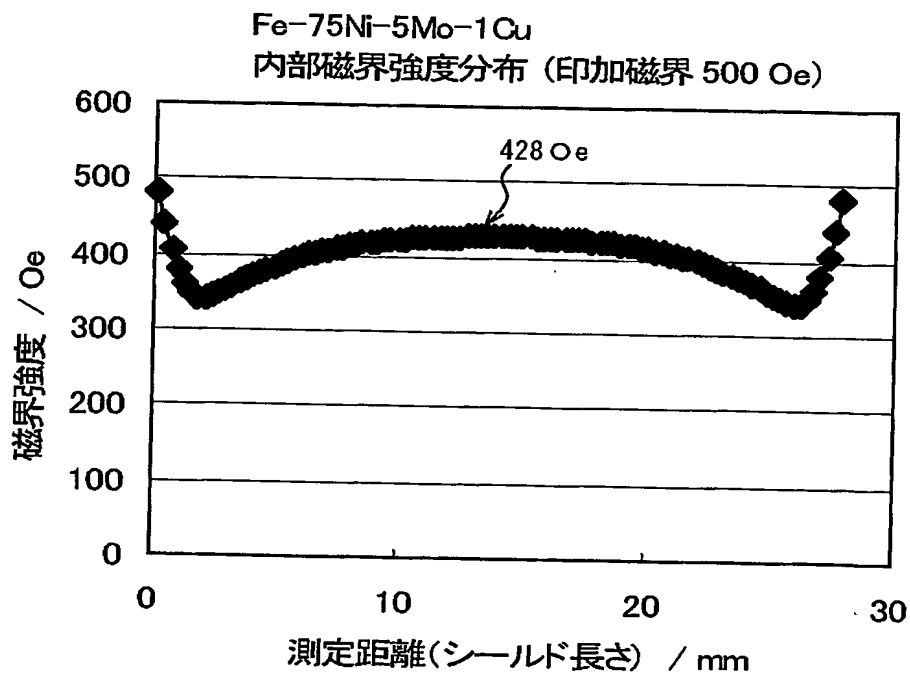
【図 4】



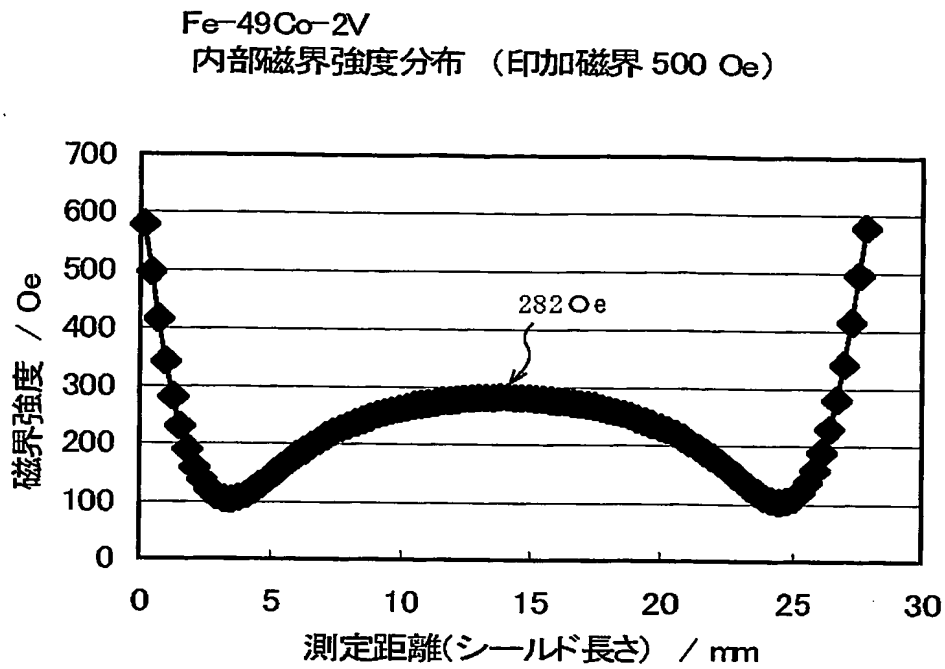
【図 5】



【図 6】



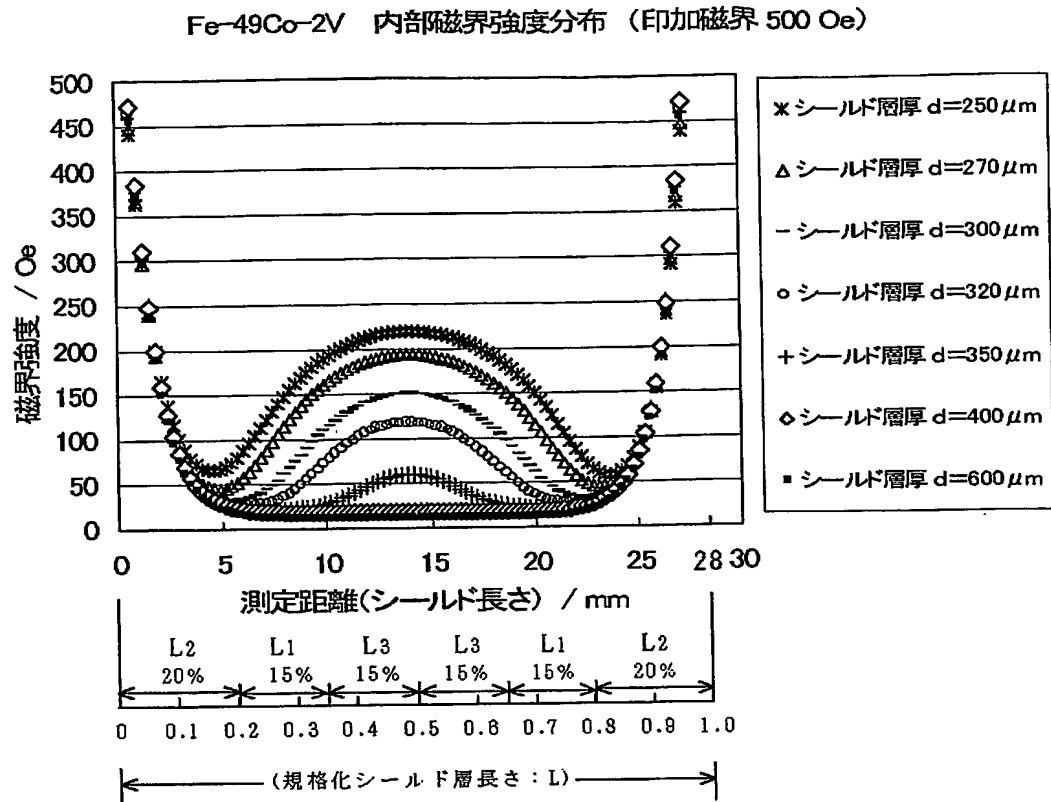
【図 7】



【図 8】

磁気シールド層厚, $d / \mu m$	中心部磁界強度 / Oe
200	282
250	219
270	193
300	150
320	117
350	59
400	18
600	13
800	10

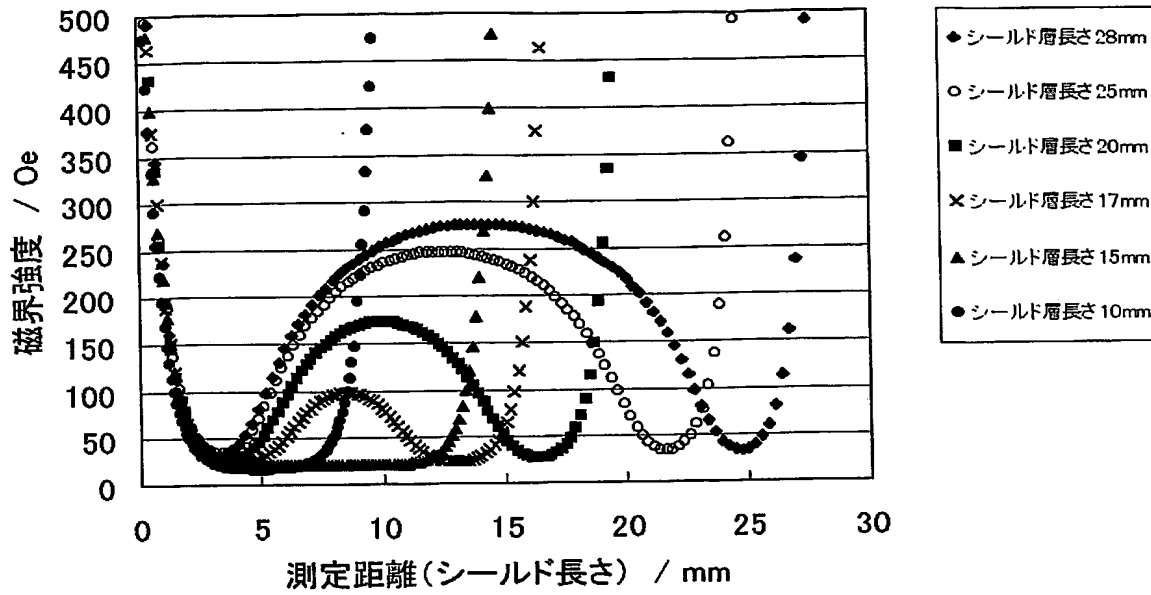
【図 9】



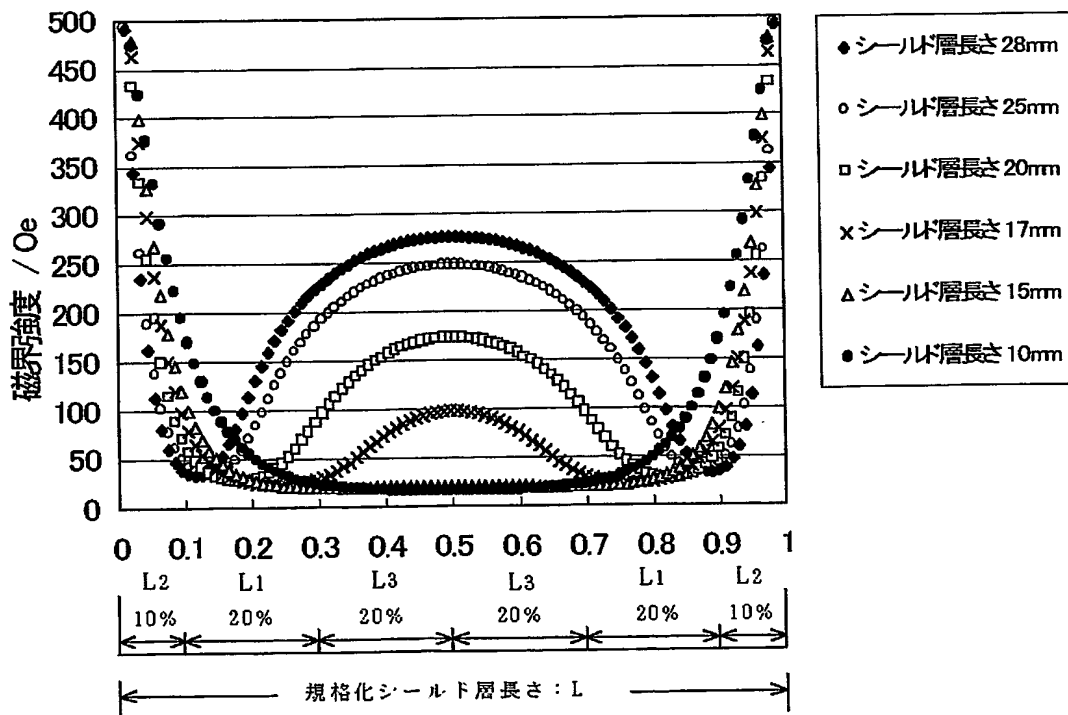
【図 10】

磁気シールド層 1 辺の長さ, $L/\text{mm}$	中心部磁界強度 / Oe
28	282
25	247
20	173
17	98
15	20
10	16

【図 1 1】

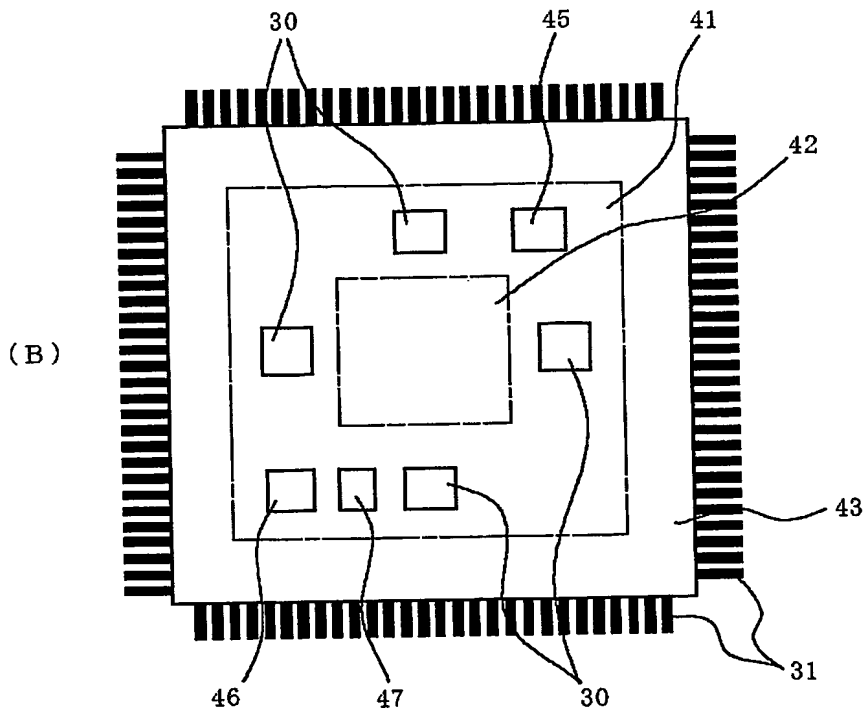
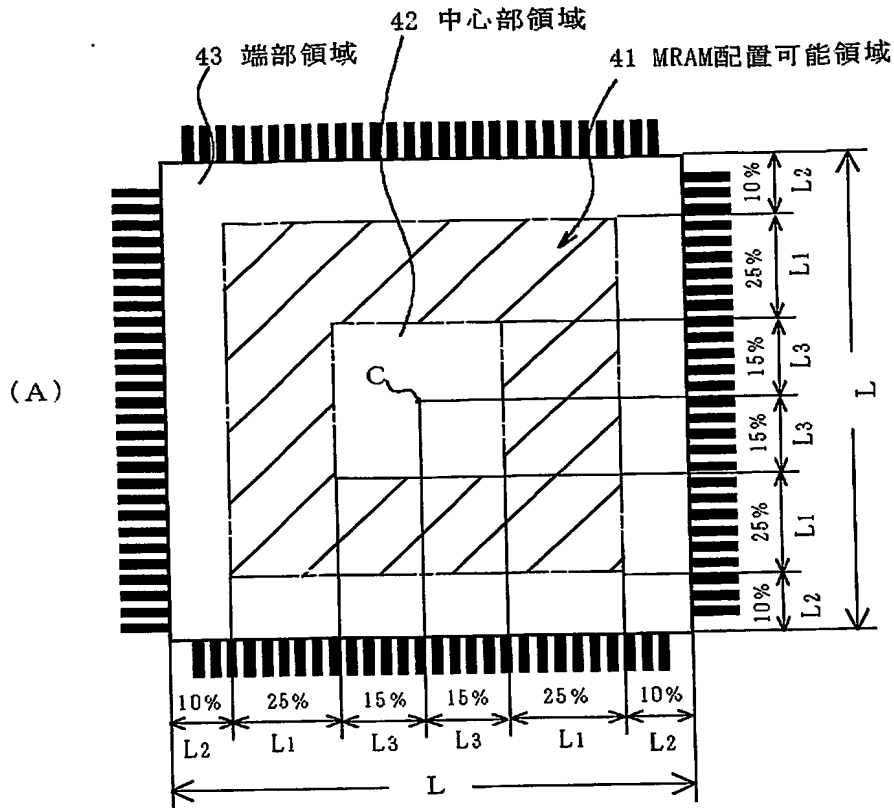


【図 1 2】



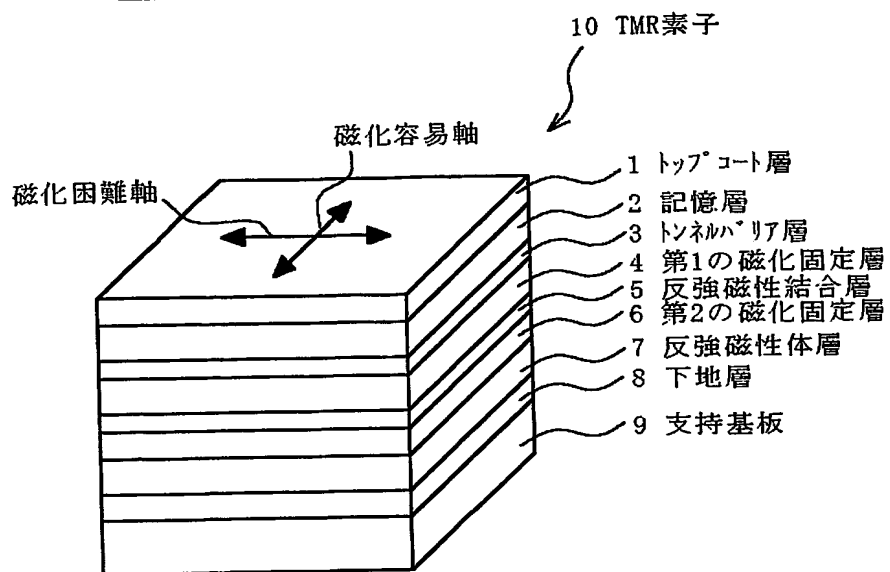


【図13】



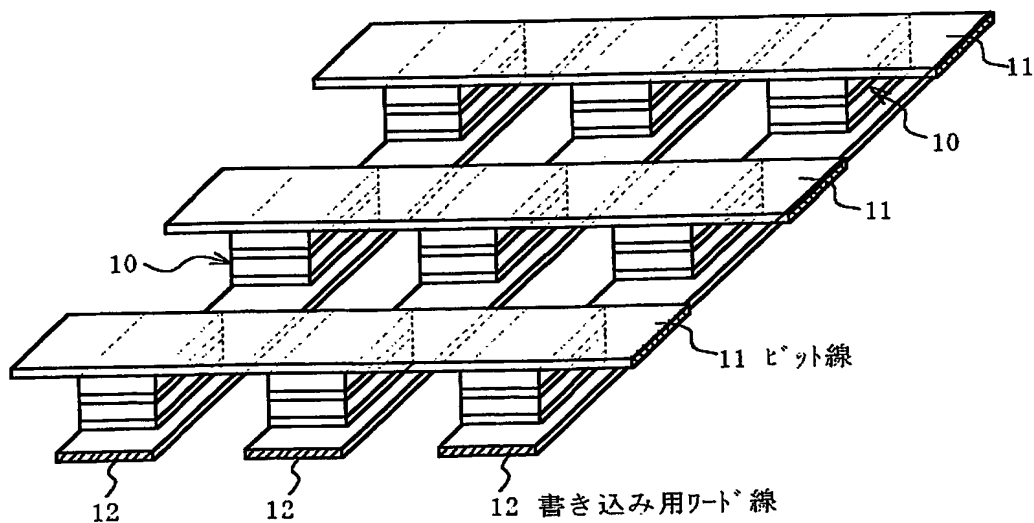
【図14】

MRAMのTMR素子

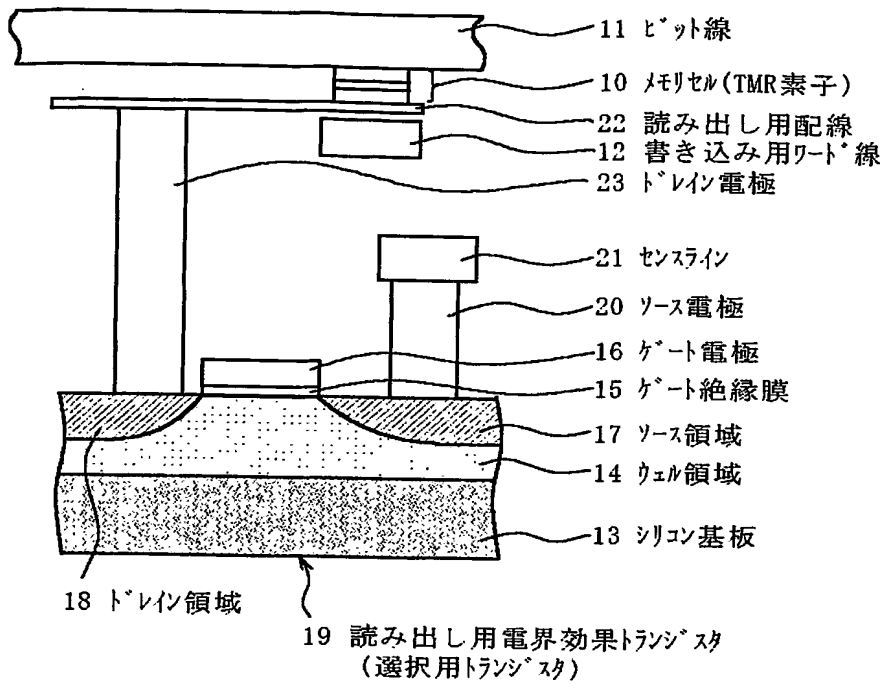


【図15】

MRAMメモリセル部

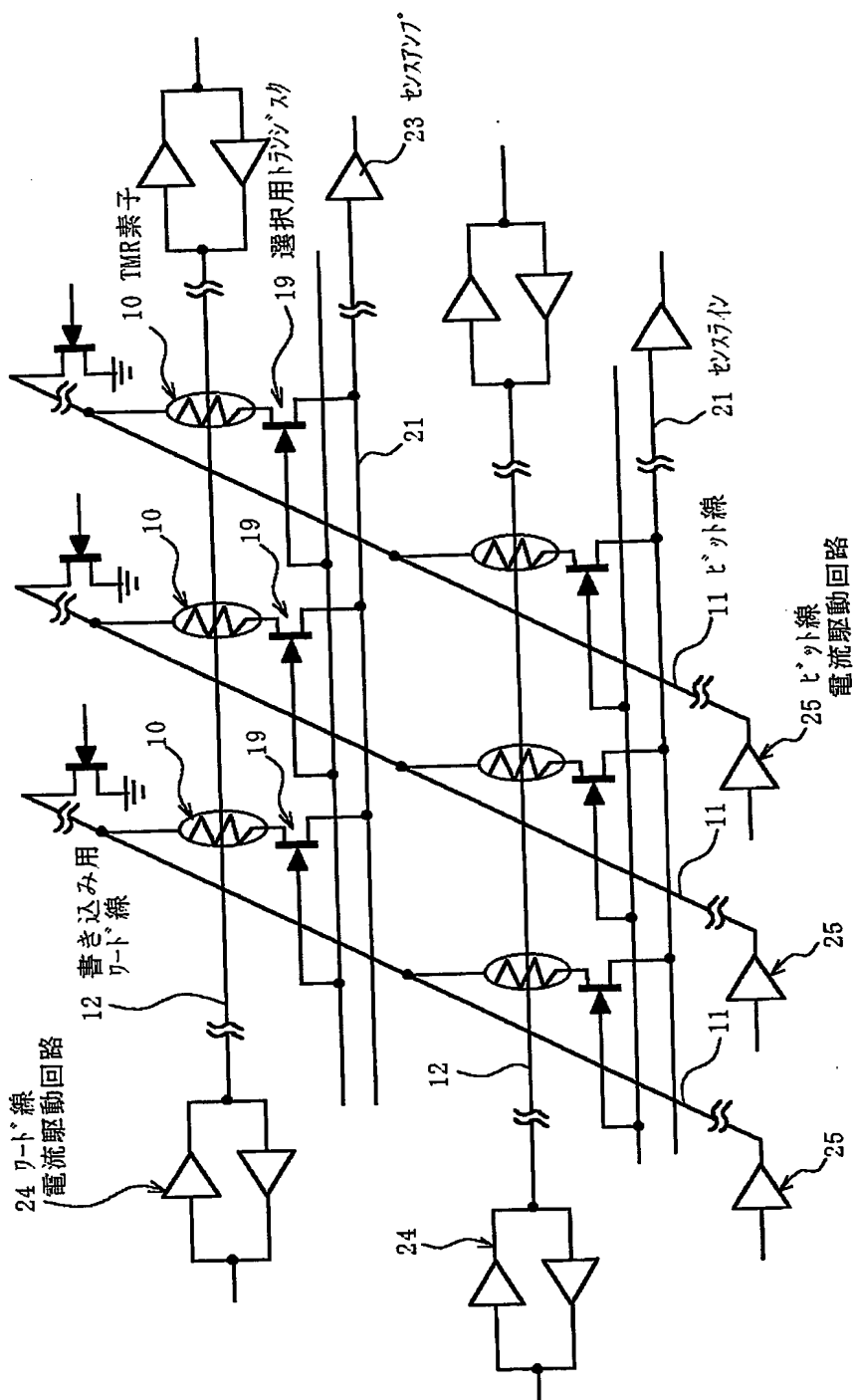


【図 16】

MRAMメモリセル


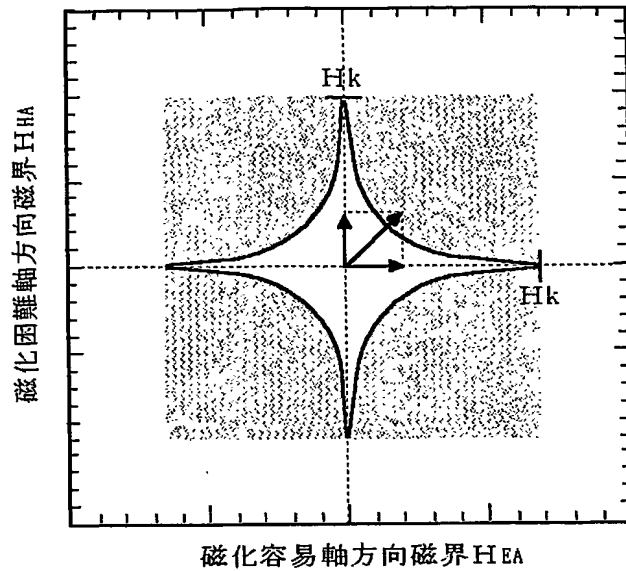
【図 17】

MRAMの等価回路図



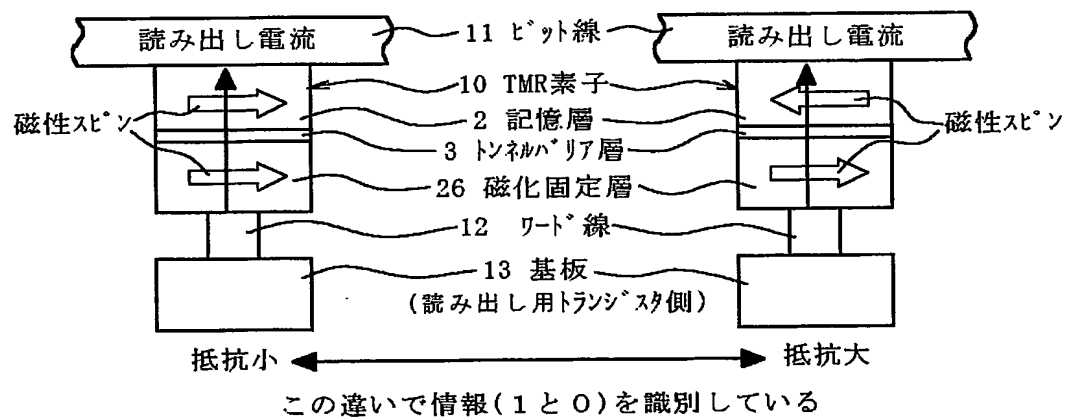
【図18】

MRAMの書き込み時の磁界応答性



【図19】

MRAMの読み出し動作



【書類名】 要約書

【要約】

【課題】 大きな外部磁界に対して内部漏洩磁界の影響を受けずに、MRAM素子の動作を保証することを可能にすること。

【解決手段】 磁気シールド層 3 3、3 4 によって磁気シールドされるMRAM素子 3 0 を、磁気シールド層 3 3、3 4 の端部 4 3 及び中心部 4 2 を避けた領域 4 1 に配置することにより、外部磁界の影響を直接受けて磁気シールド効果のない端部領域 4 3 と、内部漏洩磁界強度の大きい中心部領域 4 2 との間の領域 4 1 において、MRAM素子 3 0 は内部漏洩磁界の影響を受けることなく、正常に動作することができる。

【選択図】 図 1

特願 2003-006468

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**